

Patent
Attorney's Docket No. 019949-006

#3
BT
10-26-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Kenzo URABE et al.) Group Art Unit: 2661
Application No.: 09/845,216) Examiner: Unassigned
Filed: May 1, 2001)
For: MATCHED FILTER AND RECEIVER)
FOR MOBILE RADIO)
COMMUNICATION SYSTEM)

RECEIVED
OCT 22 2001
Technology Center 2600

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2000-132619

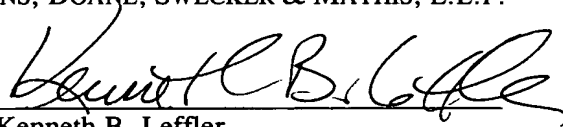
Filed: May 1, 2000

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: October 17, 2001

By: 
Kenneth B. Leffler
Registration No. 36,075

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

(translation of the front page of the priority document of Japanese Patent Application No. 2000-132619)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: May 1, 2000

Application Number : Patent Application 2000-132619

Applicant(s) : Telefonaktiebolaget L M Ericsson (publ)

May 25, 2001

Commissioner,
Patent Office

Kouzo OIKAWA

Certification Number 2001-3043547



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 5月 1日

出 願 番 号

Application Number:

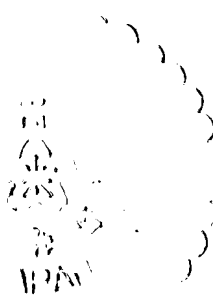
特願2000-132619

出 願 人

Applicant(s):

テレフオンアクチーボラゲット エル エム エリクソン (パブル)

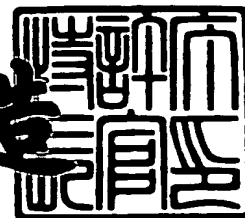
RECEIVED
OCT 22 2001
Technology Center 2600



2001年 5月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3043547

【書類名】 特許願

【整理番号】 P13272JP

【提出日】 平成12年 5月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 7/26

【発明の名称】 整合フィルタ及び移動無線通信システム用受信機

【請求項の数】 13

【発明者】

 【住所又は居所】 宮城県仙台市青葉区吉成 2 丁目 2 7 番 1 2 号

 【氏名】 占部 健三

【発明者】

 【住所又は居所】 神奈川県津久井郡城山町久保沢 1 丁目 9 番 1 5 号

 【氏名】 山本 一成

【特許出願人】

 【識別番号】 598036300

 【氏名又は名称】 テレフォンアクチーボラゲット エル エム エリクソン (パブル)

【代理人】

 【識別番号】 100076428

 【弁理士】

 【氏名又は名称】 大塚 康徳

 【電話番号】 03-5276-3241

【選任した代理人】

 【識別番号】 100101306

 【弁理士】

 【氏名又は名称】 丸山 幸雄

 【電話番号】 03-5276-3241

【手数料の表示】

 【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903672

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 整合フィルタ及び移動無線通信システム用受信機

【特許請求の範囲】

【請求項 1】 入力サンプルのストリーム及び所定の符号列を所定単位毎に互いに乗算する複数の乗算手段と、前記複数の乗算手段による乗算結果を加算合計して出力する整合フィルタであって、

前記入力サンプルのストリームがマルチパス信号をサンプリングして得られるストリームであり、

前記乗算を行う前記複数の乗算手段のうち、前記マルチパス信号に含まれる複数のパス信号の中で有効とみなされるパス信号が入来する時間幅に必要となる最小数の乗算手段を実際に乗算を行う乗算手段として決定する制御手段を有することを特徴とする整合フィルタ。

【請求項 2】 前記パス信号の有効、無効の決定は、前記マルチパス信号の信号対雑音比や信号対干渉比などの信頼度情報にもとづいて行われることを特徴とする請求項 1 記載の整合フィルタ。

【請求項 3】 前記有効とみなされるパス信号のひとつが、前記マルチパス信号のシンボルタイミングを決定するパス信号であることを特徴とする請求項 1 または請求項 2 に記載の整合フィルタ。

【請求項 4】 入力サンプルのストリームと、所定の拡散符号列との相関を求めて出力する整合フィルタであって、

前記入力サンプルのストリームがマルチパス信号をサンプリングして得られるストリームであり、

少なくとも 1 シンボル長分のチップ数（拡散率）と等しい数の乗算手段と、

前記乗算手段の出力を合計し、前記符号列に対する前記入力サンプルのストリームの相関を表す値として出力する加算手段と、

前記乗算手段のうち、マルチパス信号の中で有効とみなされるパス信号の入来する時間幅に必要となる最小数の乗算手段を実際に乗算を行う乗算手段として決定し、前記符号列の 1 シンボル長分と、前記入力サンプルのストリームの各値との乗算を行うように制御する制御手段を有することを特徴とする整合フィルタ。

【請求項 5】 前記パス信号の有効、無効の決定は、前記マルチパス信号の信号対雑音比や信号対干渉比などの信頼度情報にもとづいて行われることを特徴とする請求項 4 記載の整合フィルタ。

【請求項 6】 前記有効とみなされるパス信号のひとつが、前記マルチパス信号のシンボルタイミングを決定するパス信号であることを特徴とする請求項 4 または請求項 5 記載の整合フィルタ。

【請求項 7】 前記制御手段が、前記符号列の 1 シンボル長分を前記所定数毎に分割して前記乗算手段のそれぞれに供給することを特徴とする請求項 4 乃至請求項 6 のいずれか 1 項に記載の整合フィルタ。

【請求項 8】 直列接続され、その一端に外部から供給される入力サンプルのストリームを入力される複数の遅延素子と、

前記複数の遅延素子の各出力を第 1 の入力信号、外部から供給されるデータを第 2 の入力信号とし、前記第 1 及び第 2 の入力信号の乗算を行う複数の乗算手段と、

前記複数の乗算手段の出力を合計し、前記第 2 の入力信号に対する前記第 1 の入力信号の相関を表す値として出力する加算手段と、

前記複数の遅延素子及び前記複数の乗算手段をブロック化し、各ブロック毎に有効／無効の制御を行い、前記有効とされたブロックに含まれる前記複数の乗算手段の各々に、所定の符号列の部分符号列を構成する各符号を供給する制御手段とを有するとともに、前記入力サンプルのストリームがマルチパス信号をサンプリングして得られるストリームであり、前記乗算手段のブロックのうち、マルチパス信号の中で有効とみなされるパス信号の入来する時間幅に必要なとなる最小数の乗算手段のブロックを実際に乗算を行うブロックとして有効／無効制御により有効とすることを特徴とする整合フィルタ。

【請求項 9】 前記パス信号の有効、無効の決定は、前記マルチパス信号の信号対雑音比や信号対干渉比などの信頼度情報にもとづいて行われることを特徴とする請求項 8 記載の整合フィルタ。

【請求項 10】 前記有効とみなされるパス信号のひとつが、前記マルチパス信号のシンボルタイミングを決定するパス信号であることを特徴とする請求項

8 または請求項 9 記載の整合フィルタ。

【請求項 1 1】 前記有効とされたブロックの前記加算手段の出力を前期有効とされたブロックの各サンプル毎に積算する積算手段を有することを特徴とする請求項 8 乃至請求項 1 0 のいずれか 1 項に記載の整合フィルタ。

【請求項 1 2】 請求項 1 乃至請求項 1 1 のいずれか 1 項に記載の整合フィルタを用いた移動無線通信システム用受信機。

【請求項 1 3】 請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の整合フィルタとして機能することを特徴とする演算装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明はスペクトラム拡散信号をもちいた移動無線通信システムにおける受信機等において、パス探索（パスサーチ）に用いられる整合フィルタに関し、特に消費電力及び実装面積の低減が可能な整合フィルタに関する。本発明はまた、整合フィルタを用いた受信機に関する。

【0 0 0 2】

【従来の技術】

近年、携帯電話システムに代表される移動無線通信システムは急速に普及してきている。その通信方式は、加入者数の増大とともにアナログ方式からデジタル方式に移り変わり、そしてさらに次世代の方式に移ろうとしている。次世代の通信方式として現在注目されている方式は、CDMA (Code Division Multiple Access: 符号分割多元接続) 方式と呼ばれる、スペクトラム拡散変調技術を用いた通信方式である。

【0 0 0 3】

このCDMA方式は、ユーザ毎に固有の拡散符号系列を割り当て、送信側ではこの拡散符号系列を送信データに乗算することによって帯域拡散（変調）した送信信号を送信し、受信側では受信信号に対して送信側で用いた拡散符号系列と同一の符号列をそのシンボルタイミングに同期させて乗算することにより復調し、送信されたデータを復元する方式である。

【 0 0 0 4 】

この方式の場合、F D M A (Frequency Division Multiple Access: 周波数分割多元接続) 方式や T D M A (Time Division Multiple Access: 時間分割多重多元接続) 方式のようにユーザ毎に送信周波数帯域や送信時間を分割するのではなく、システムに割り当てられた同一周波数帯域上に同時刻に各ユーザの送信信号を送信する。同一周波数上、同一時刻の複数のユーザの信号間に発生する干渉を巧みに制御、抑圧することにより F D M A や T D M A 等他の多元接続方式に比較してシステム容量 (加入者数) を増大しうることが知られている。

【 0 0 0 5 】

ところで移動無線通信システムにおいては、送信機から発信された信号が、建物等に反射され、複数の異なる経路 (パス) を経て受信機に到達する、いわゆるマルチパス現象が発生する。この場合、受信機においては、各パスを通ることによって異なる伝播遅延を有する信号が複数合成されたマルチパス信号が受信されることになる。

【 0 0 0 6 】

C D M A 方式の場合、このようなマルチパス信号を利用してパスダイバーシチを行うことが可能であり、具体的には R A K E 受信機が知られている。このパスダイバーシチ効果も C D M A のシステム容量増大に寄与している。

【 0 0 0 7 】

図 1 0 は、従来の R A K E 受信機の構成例を示すブロック図である。図 1 0 において、C D M A 無線信号はアンテナ 1 0 1 及び受信回路 1 0 2 で受信され、周波数ミキサ 1 0 3 において局所搬送波と乗算されることによってベースバンド信号に変換される。周波数ミキサ 1 0 3 の出力は図示しないサンプリング回路や A / D 変換器によって所定のレートでサンプリングされ、デジタル値のストリームとして整合フィルタ 1 0 4 に供給される。

【 0 0 0 8 】

整合フィルタ 1 0 4 は、図示しない拡散符号生成回路からの拡散符号を用いて逆拡散処理を行う。整合フィルタ 1 0 4 の出力は、パスタイミング検出部 1 0 5 及び R A K E コンバイナ 1 0 6 へ供給される。パスタイミング検出部 1 0 5 と整

合フィルタ 1 0 4 は R A K E コンバイナ 1 0 6 において加算すべき有効パスを決定するパスサーチャを構成する。

【 0 0 0 9 】

R A K E コンバイナ 1 0 6 は、パスタイミング検出部 1 0 5 から供給されるタイミングで整合フィルタ 1 0 4 から受信信号を取り込み、所定数の有効パス（フィンガー）について各パスの信号位相をそろえてから加算して出力する。この出力を図示しない判定回路で判定し、復調データを得る。加算時には必要に応じてパスに重み付けを行う場合もある。

【 0 0 1 0 】

整合フィルタ 1 0 4 は、例えばタップ数が 1 シンボル期間のチップ数、即ち拡散率に等しく、各タップ値として拡散符号の各チップ値が供給されるトランスバーサル型整合フィルタによって構成することができる。また、サンプリング回路でオーバーサンプリングする場合、タップ数は拡散率×オーバーサンプリング数となり、各タップにはオーバーサンプリング数のタップ毎に拡散符号の各チップを繰り返した符号列、もしくは拡散符号の各 1 チップ以外は数値ゼロを内挿した値が供給される。

【 0 0 1 1 】

図 1 1 は、タップ数 M (M は自然数) の整合フィルタ 1 0 4 の構成例を示す図である。本例はよく知られたいわゆるトランスバーサル型の例を示している。

【 0 0 1 2 】

図 1 1 において、整合フィルタは、 M 個の遅延素子 (D) 2 0 1、2 0 2、 \dots 、2 0 ($M-1$)、2 0 M と、 M 個の乗算器 2 1 1、2 1 2、2 1 3、 \dots 、2 1 ($M-1$)、2 1 M 及び、 $M-1$ 個の加算器 2 2 1、2 2 2、2 2 3、 \dots 、2 2 ($M-1$) から構成される。

【 0 0 1 3 】

各乗算器にはタップ値 C_1 、 C_2 、 C_3 、 \dots 、 $C_{(M-1)}$ 、 C_M が供給されており、それぞれ対応する遅延素子の出力とタップ値を乗算して出力する。乗算器の出力は加算器によって加算され、加算器 2 2 1 から全乗算器の出力合計結果が整合フィルタの出力結果として得られる。

【 0 0 1 4 】

遅延素子 2 0 1 ~ 2 0 M は、それぞれ 1 サンプリング周期の遅延素子であり、送信時の拡散率 T とトランスバーサルフィルタの入力信号のサンプリングレートが等しい場合にはタップ数 $M = T$ 、入力信号が 2 倍オーバーサンプリングされている場合には $M = 2 T$ となる。

【 0 0 1 5 】

また、タップ値 $C_1 \sim C_M$ には拡散符号の各チップ値が供給される。すなわち、拡散符号が例えば “ + 1 + 1 - 1 + 1 - 1 + 1 + 1 . . . ” というコードであれば、 C_1 から順に + 1、+ 1、- 1、+ 1、- 1、+ 1、+ 1 . . . というタップ値が供給される。また、入力信号が 2 倍オーバーサンプリングされている場合には、 C_1 から順に + 1、+ 1、+ 1、+ 1、- 1、- 1、+ 1、+ 1、- 1、- 1、+ 1、+ 1、+ 1、+ 1、. . . というタップ値、もしくは + 1、0、+ 1、0、- 1、0、+ 1、0、- 1、0、+ 1、0、+ 1、0、. . . というタップ値が供給される。

【 0 0 1 6 】

このように、整合フィルタによって、M サンプルの入力データと M チップの拡散符号とを各チップ毎に乗算し、その合計を得ることにより、出力結果は入力信号と拡散符号の相関の程度を示すことになる。従って、マルチパス信号を整合フィルタの入力信号として供給し、拡散符号の 1 周期に渡って順次タイミングをずらしてチップ毎に積和演算を行い、その出力結果を監視すれば、相関の強い信号の受信タイミング、すなわちマルチパス信号に含まれる各パス信号の受信タイミングを検出することができる。

【 0 0 1 7 】

例えば、図 1 0 に示した受信機において、パスタイミング検出部 1 0 5 は、整合フィルタ 1 0 4 の出力結果を所定の閾値と比較し、閾値を超えた場合に R A K E コンバイナ 1 0 6 へ通知することで、合成すべきパス信号のタイミングを通知することができる。

【 0 0 1 8 】

また、パスタイミング検出部 1 0 5 及び R A K E コンバイナ 1 0 6 が拡散符号

の一周期分に相当する受信バッファを有する場合には、パスタイミング検出部 105 が拡散符号の一周期に渡って整合フィルタ 104 の出力結果を保持することにより、大きな結果が得られた所定数のタイミングを検出し、そのタイミングを RAKE コンバイナ 106 に通知するようにすることも可能である。

【0019】

また、このような整合フィルタの演算処理を、汎用のマイクロプロセッサやデジタル信号処理プロセッサ (DSP) 等を用いて実現することも可能である。

【0020】

【発明が解決しようとする課題】

上述したように、整合フィルタにおいては、拡散率又は拡散率 \times オーバーサンプリング数と等しい数のタップが必要となる。従って、拡散率が 512 であれば、少なくとも 512 タップが必要となる。

【0021】

512 タップの整合フィルタには、512 個の遅延素子及び乗算器と 511 個の 2 入力加算器が必要となるため、回路規模が非常に大きくなる。通常精度の良い受信を行うためにオーバーサンプリングが行われるため、実際にはその数倍のタップが必要となり、さらに問題は大きくなる。

【0022】

加えて、これら非常に多くの演算素子の全てがサンプリングクロックに同期して同時に稼働するため、消費電力もまたタップ数に依存して増大する。

【0023】

また、整合フィルタの機能をプロセッサにより実現する場合、1 サンプリングクロック周期内にタップ数と同回数の積和演算処理を行う必要があるため、高速なプロセッサが必要となる。例えば受信機全体の制御を行うプロセッサを用いてこの演算を行う場合、プロセッサに対する負荷が非常に大きなものとなり、他の処理に影響を及ぼすおそれがある。また、別途専用のプロセッサを用いる場合には、受信機の実装面積が大きくなる上、消費電力の増大は避けられない。

【0024】

受信機に必要な整合フィルタの実装面積及び／又は消費電力が大きいと、特に

端末の小型化、軽量化、低消費電力化が著しい移動無線通信端末において、更なる小型化に対する障害となったり、或いは待ち受け時間、通話時間の減少原因となるという問題がある。

【 0 0 2 5 】

従って、本発明の目的は、高速なプロセッサを必要とせず、また消費電力の低減が可能な整合フィルタを提供することにある。

【 0 0 2 6 】

【課題を解決する手段】

すなわち、本発明の要旨は、入力サンプルのストリーム及び所定の符号列を所定単位毎に互いに乗算する複数の乗算手段と、複数の乗算手段による乗算結果を合計して出力する整合フィルタであって、入力サンプルのストリームがマルチパス信号をサンプリングして得られるストリームであり、乗算を行う前記複数の乗算手段のうち、マルチパス信号に含まれる複数のパス信号の中で有効とみなされるパス信号が入来する時間幅に必要な最小数の乗算手段を実際に乗算を行う乗算手段として決定する制御手段を有することを特徴とする整合フィルタに存する。

【 0 0 2 7 】

また、本発明の別の要旨は、入力サンプルのストリームと、所定の周期性を有する符号列との相関を求めて出力する整合フィルタであって、入力サンプルのストリームがマルチパス信号をサンプリングして得られるストリームであり、少なくとも前記符号列の 1 周期を構成する符号数と等しい数の乗算手段と、乗算手段の出力を合計し、符号列に対する入力サンプルのストリームの相関を表す値として出力する加算手段と、乗算手段のうち、マルチパス信号の中で有効とみなされるパス信号の入来する時間幅に必要な最小数の乗算手段を実際に乗算を行う乗算手段として決定し、符号列の 1 周期分の符号の各々と、前記入力サンプルのストリームの各値との乗算を行うように制御する制御手段を有することを特徴とする整合フィルタに存する。

【 0 0 2 8 】

また、本発明の別の要旨は、直列接続され、その一端に外部から供給される入

力サンプルのストリームを入力される複数の遅延素子と、複数の遅延素子の各出力を第1の入力信号、外部から供給されるデータを第2の入力信号とし、第1及び第2の入力信号の乗算を行う複数の乗算手段と、複数の乗算手段の出力を合計し、第2の入力信号に対する第1の入力信号の相関を表す値として出力する加算手段と、複数の遅延素子及び前記の乗算手段をブロック化し、各ブロック毎に有効／無効の制御を行い、有効とされたブロックに含まれる複数の乗算手段の各々に、所定の符号列の部分符号列を構成する各符号を供給する制御手段とを有するとともに、入力サンプルのストリームがマルチパス信号をサンプリングして得られるストリームであり、乗算手段のブロックのうち、マルチパス信号の中で有効とみなされるパス信号の入来する時間幅に必要となる最小数の乗算手段のブロックを実際に乗算を行うブロックとして有効／無効制御により有効とすることを特徴とする整合フィルタに存する。

【0029】

また、本発明の別の要旨は、本発明の整合フィルタを用いた移動無線通信システム用受信機に存する。

【0030】

また、本発明の別の要旨は、本発明の整合フィルタとして機能することを特徴とする演算装置に存する。

【0031】

【発明の実施の形態】

(受信機構成)

以下、図面を参照して本発明をその好適な実施形態に基づき詳細に説明する。

図1は、本発明による整合フィルタを適用可能な、CDMA方式通信システムにおける受信機の要部構成例を示すブロック図である。図1に示す構成は、周波数ミキサを経てベースバンド信号に変換され、次いで所定のレートでサンプリングされてデジタル値のストリームに変換された後、シンボル判定前までの信号処理にかかる部分を示している。以下、デジタル値のストリームは単に入力信号として表記する。

【0032】

図 1 において、セルサーチ 5 0 1 は、受信機を有する通信端末が同期すべきセルの決定を行う。CDMA 方式においては、複数の基地局から同時に受信した複数の信号のうち、最も受信強度（もしくは品質）のよい受信信号を用いるため、どの基地局に対して同期すべきか（及び、どの拡散符号系列を用いるか）をセルサーチ 5 0 1 によって決定する。

【 0 0 3 3 】

セルサーチ 5 0 1 はさらに、同期捕捉及び同期追跡を行い、シンボルタイミング及び 1 シンボル期間におけるマルチパス遅延 T_d を整合フィルタ 5 0 2 及び同相逆拡散／復調器 5 0 4 へ供給する。

【 0 0 3 4 】

整合フィルタ 5 0 2 は、セルサーチ 5 0 1 からシンボルタイミングを受信し、入力信号と拡散符号を用いて相関の程度を示す出力をパスタイミング検出部 5 0 3 へ出力する。パスタイミング検出部 5 0 3 は、整合フィルタ 5 0 2 の出力から所定数の有効パスタイミングを検出し、復調器 5 0 4 へパスタイミングを出力する。復調器 5 0 4 は、後述するように予め定められた有効パス数（合成すべきパス信号の数）の復調回路を有し、セルサーチ 5 0 1 から受信したシンボルタイミングとパスタイミング検出部 5 0 3 から受信したパスタイミングに基づいて各有効パス信号の逆拡散処理を行う。

【 0 0 3 5 】

RAKE コンバイナ 5 0 5 は、復調器 5 0 4 が出力する逆拡散信号の有効パスを重み付けし、位相を揃えて合成し図示しないシンボル判定回路に出力する。位相を揃える作業は受信信号に含まれるパイロット信号での各パスの位相を基準とすることにより実現できる。

【 0 0 3 6 】

図 2 は、図 1 における復調器 5 0 4 及び RAKE コンバイナ 5 0 5 の構成例を示すブロック図である。図 2 においては、有効パス数が 3 である場合の構成を示した。5 4、5 5、5 6 は位相を揃える処理を兼ねる重み付けのための乗算器である。

【 0 0 3 7 】

復調器 5 0 4 は、有効パス数と等しい数の復調回路 5 1、5 2 および 5 3 を有する。各復調回路 5 1 ～ 5 3 はそれぞれ、拡散符号生成器 5 1 1、5 2 1 および 5 3 1 と、逆拡散手段としての相関器 5 1 2、5 2 2 および 5 3 2 を有する。

【 0 0 3 8 】

各復調回路 5 1 ～ 5 3 は、パスタイミング検出部 1 0 5 が検出した有効パスのタイミング情報と、セルサーチャ 5 0 1 からのシンボルタイミングを元に、拡散符号生成器 5 1 1、5 2 1 および 5 3 1 がそれぞれ別のタイミングで拡散符号列を発生し、対応する相関器 5 1 2、5 2 2 および 5 3 2 に供給することによって、各有効パス信号の逆拡散処理を行う。なおパスタイミング情報は個々の拡散符号生成器別個に供給される。

【 0 0 3 9 】

相関器 5 1 2、5 2 2 および 5 3 2 の出力はそれぞれ、RAKE コンバイナ 5 0 5 の乗算器 5 4、5 5 および 5 6 の一方の入力へ供給される。乗算器 5 4、5 5 および 5 6 の他方の入力には、予め測定した各パスの位相変動をうち消して揃えたとともに重み付けを行うための係数 α 、 β 、 γ がそれぞれ供給される。

【 0 0 4 0 】

これら係数は例えば、制御用チャネルにおけるパイロット信号等、予めその内容がわかっている特定の信号を定期的に受信し、有効パスのそれぞれについて位相がどのように変化しているかを図示しない位相変動検出回路によって検出しておくことによって用意しておく。

【 0 0 4 1 】

RAKE コンバイナ 5 0 5 において乗算器 5 4、5 5 および 5 6 によって位相が揃えられ重み付けされた各有効パス信号は、加算器 5 7 によって合成され、図示しないシンボル判定回路に出力される。

【 0 0 4 2 】

次に、セルサーチャ 5 0 1 におけるシンボルタイミング及びマルチパス遅延量の決定方法について図 3 を用いて説明する。

【 0 0 4 3 】

セルサーチャ 5 0 1 は、シリアルサーチ捕捉回路あるいは整合フィルタによる

公知のシンボルタイミング検出回路を有している（図示せず）。いずれも、セルサーチ内部で発生した拡散符号を用いて入力信号を逆拡散することによって、拡散符号と入力信号の相関を拡散符号系列の1周期に渡って検出し、相関の最も大きかったタイミングをもってシンボルタイミングを決定するものである。

【0044】

図3は、セルサーチ501において得られる、拡散符号系列と入力信号との相関度の時間変化を模式的に表した図である。図3の例においては、最も相関の大きなピークをシンボル区間の開始タイミングとして決定し、1シンボル区間内で所定の閾値を超える最後のピークが得られるタイミングと、シンボル区間の開始タイミングとの差をマルチパス信号の最大遅延量として決定する。

本実施形態において、セルサーチ501は所定の閾値を超えるピークを有する信号を有効パス信号と決定するものとし、この閾値はマルチパス信号の信号対雑音比や信号対干渉比などの信頼度情報に基づいて予め定められる。

【0045】

（原理）

ここで、本発明の整合フィルタの動作原理について簡単に説明する。従来の整合フィルタにおいては、少なくとも拡散符号系列の1シンボル長（1シーケンス）を形成するチップ数（タップ数）の2乗回数分の積和演算を1シンボル区間に渡って行い、1シンボル区間に相当する遅延を有するパスまでサーチを行っていた。従って、たとえば拡散符号が16ビット周期で、オーバーサンプリングの無い場合には $16 \times 16 = 256$ 回の積和演算を16サンプル周期内に行う必要があった。

【0046】

しかしながら、一般的な移動無線通信システムにおいて、送信局と受信局の通信距離が比較的小さい場合、マルチパス信号の最大遅延量は1シンボル区間に比べて十分短く、1シンボル区間全体に渡って有効パスが分散しない場合がある。また、パスサーチを目的とする場合、最後に到達した有効パスのタイミングが検出できれば、それ以上遅延して到達する可能性の無いパスをサーチするための演算は不要である。

【 0 0 4 7 】

演算量が減ることによって、1シンボル区間に相当する時間内に行う必要のある個々の演算に許される処理時間が増加し、高速な演算処理を行わずに済む。加えて、これまで遅延素子1つによる遅延時間（＝サンプル周期）内に行っていた演算を複数回にわけて処理することが可能になり、実際に使用するタップ数をさらに低減することが可能になる。たとえば、拡散率が16でオーバーサンプリングが無く、最大遅延量が8サンプル周期である場合、9サンプル周期～16サンプル周期の遅延量を有するパスのサーチが不要となり、演算量が半分になるから、1サンプル周期に16回必要だった演算を8回に減らすことができる。そのため、演算を行う整合フィルタの処理速度を1/2にするか、パスサーチに用いるタップ数を16から8に半減することが可能になる。

【 0 0 4 8 】

また、使用するタップ数が可変な整合フィルタを用い、定期的に検出する最大遅延量に応じて使用するタップ数を変化させることにより、変動する最大遅延量に対応することが可能である。

【 0 0 4 9 】

（整合フィルタの構成）

図4は、本発明の一実施形態にかかる整合フィルタの構成を示すブロック図である。図4において、整合フィルタは、複数（ N ：2以上の自然数）の部分フィルタ301、302、・・・30 N と、部分フィルタ301～30 N の出力のうち、制御部341からの制御信号で指定されたものを出力するゲート部311と、ゲート部311の全出力を加算する加算器321と、加算器321の出力を積算する積算回路331と、整合フィルタ全体の制御を行う制御部341とを有する。

【 0 0 5 0 】

各部分フィルタは、所定数（ m ：2以上の自然数）のタップを有する整合フィルタであり、 N 個の部分フィルタ301～30 N を直列に接続することによって全体として $m \times N$ タップの整合フィルタを構成する。また、各部分フィルタ301～30 N には、制御部341から各タップに与える値（拡散符号）が供給され

るとともに、部分フィルタ単位で動作を起動・停止するための有効／無効制御信号が供給される。

【 0 0 5 1 】

積算回路 3 3 1 は、例えば加算器 3 3 2 と、後述する有効部分フィルタの数 $n \times m$ 段の遅延量可変シフトレジスタ 3 3 3 とから構成され、加算器 3 2 1 の出力を $m n$ 個毎に加算した、 $m n$ 個の加算結果を保持する。遅延量可変シフトレジスタ 3 3 3 の構成例を図 5 に示す。即ち、直列に接続された $m \times N$ 個の遅延素子と、ゲート部 3 3 4 から構成される。ゲート部 3 3 4 は直列に接続された遅延素子 m 個毎に入力される（最大 N 個の）信号から、制御部 3 4 1 から供給されるゲート制御信号に基づく 1 つを選択して加算器 3 3 2 へ出力する。このような構成により、制御信号によって信号の遅延量を可変できる。遅延量可変シフトレジスタ 3 3 3 の内容は制御部 3 4 1 からのリセット信号によりリセットされる（0 に戻される）。

【 0 0 5 2 】

上述したように、制御部 3 4 1 には、セルサーチャ 5 0 1 からシンボルタイミング及び最大遅延時間が供給される。

【 0 0 5 3 】

（動作）

今、入力信号のサンプリング周期を T_s 、部分フィルタ 3 0 1 ～ 3 0 N のうち、制御部 3 4 1 の有効／無効制御信号により有効とされた部分フィルタが n 個（自然数かつ $N \geq n \geq 1$ ）とする。そうすると、 n 個の部分フィルタは $n \times m$ 個のタップを有する整合フィルタを構成するから、 $n \times m \times T_s$ の時間幅の入力信号が処理可能となる。

【 0 0 5 4 】

ここで、マルチパス信号の最大遅延時間を T_d とすると、 n は次式

$$n \times m \times T_s \geq T_d > (n - 1) \times m \times T_s \quad (1)$$

によって求める。そして、一般に T_d は $N \times m \times T_s$ よりも小さいので、 n 個の部分フィルタを使用した場合には、残りの $(N - n) \times m$ タップ分に対応する（ $N - n$ ）個の部分フィルタは有効／無効制御信号により無効と設定し動作を停止

するので大幅に消費電力を低減することが可能となる。

【0055】

拡散符号の1繰り返し単位（1シーケンス）をN分割したN個のサブシーケンスを C_1 、 C_2 、 \dots 、 C_N とすると、各サブシーケンス $C_1 \sim C_N$ は次のように表すことができる。

$$C_1 = (c_{1,1}, c_{1,2}, \dots, c_{1,m})$$

$$C_2 = (c_{2,1}, c_{2,2}, \dots, c_{2,m})$$

.

.

$$C_N = (c_{N,1}, c_{N,2}, \dots, c_{N,m})$$

以下の説明において、 i 番目のサブシーケンスにおける j 番目の値を $c_{i,j}$ と表す ($N \geq i \geq 1$, $m \geq j \geq 1$)。

【0056】

制御部341は、セルサーチャ501から供給される最大遅延時間 T_d 、予めわかっているサンプリング周期 T_s 及び各部分フィルタのタップ数 m から、まず上述の式(1)を満たす n を求める。そして、 n 個の部分フィルタ301～30 n を有効にし、その他の部分フィルタ30($n+1$)～30 N を無効（動作停止）にするとともに、部分フィルタ301～30 n の出力のみを加算器321に出力するようゲート部311に対して制御信号を出力する。

【0057】

制御部341は次に、有効な部分フィルタ301～30 n の各タップ（各乗算器）に、拡散符号の対応するサブシーケンス群 $C_1 (c_{1,1} \sim c_{1,m}) \sim C_n (c_{n,1} \sim c_{n,m})$ をセットする。

【0058】

部分フィルタ301～30 n は、図11を用いて説明したように、入力信号と各タップに供給された拡散符号とを乗算し、その乗算結果の合計を出力する。各部分フィルタ301～30 n の出力は、ゲート部311を通じて加算器321に供給され、加算器321はサンプリング周期 T_s 毎に部分フィルタ301～30 n の演算結果の総和を積算回路331へ出力する。

【 0 0 5 9 】

積算回路 3 3 1 では遅延量可変シフトレジスタ 3 3 3 の出力と加算器 3 2 1 からの演算結果を加算器 3 3 2 で加算し、遅延量可変シフトレジスタ 3 3 3 に記憶する。

【 0 0 6 0 】

そして、制御部 3 4 1 は $n m T s$ の時間が経過したら、部分フィルタ 3 0 1 ~ 3 0 n のタップに $C (n + 1) \sim C (2 n)$ のサブシーケンス群をセットする。以下、 $n m T s$ 毎に順次新たなサブシーケンス群をセットし、セルサーチャ 5 0 1 からシンボルタイミングが入力されると最初のサブシーケンス群 $C 1 \sim C n$ を再びセットする。シンボルタイミングの入力に応答して、積算回路 3 3 1 の遅延量可変シフトレジスタ 3 3 3 に記憶された値を全てパスタイミング検出部 1 0 5 へ出力させ、その内容をリセットして次のシンボルの逆拡散に備える。

【 0 0 6 1 】

パスタイミング検出部 1 0 5 は図 3 を用いて説明したように、シフトレジスタ 3 3 3 の出力を閾値と比較し、有効パスのタイミングを決定する。パスタイミング検出部 1 0 5 が、遅延量可変シフトレジスタ 3 3 3 の記憶内容を常時読み出し可能であれば、整合フィルタでの演算と並行してシフトレジスタ 3 3 3 の記憶内容と閾値とを比較する事により、遅延量可変シフトレジスタ 3 3 3 のリセット時には有効パスの検出も完了する。

【 0 0 6 2 】

次に、図 6 ~ 図 9 を参照して、本実施形態にかかる整合フィルタの動作について更に詳細に説明する。尚、以下の説明においては、

- ・ 部分フィルタ 3 0 1 ~ 3 0 4 のタップ数 $m = 4$
- ・ 拡散符号の 1 シーケンス 1 6 ビット
- ・ シーケンスの分割数 $N = 4$
- ・ 最大遅延量 4 $T s$
- ・ オーバサンプリングなし（従って、1 シンボル区間 = 1 6 $T s$ ）

の事例を取り上げる。

【 0 0 6 3 】

まず、制御部 3 4 1 はセルサーチャ 5 0 1 から供給された最大遅延量 T_d 、部分フィルタのタップ数 m から、式 (1) を満たす n を求める。その結果、 $n = 1$ が求まる。この場合、部分フィルタ 3 0 1 のみが有効となるため、制御部 3 4 1 はゲート部 3 1 1 が有する各部分フィルタ 3 0 1 ~ 3 0 4 に対応するスイッチのうち、有効な部分フィルタ 3 0 1 に対応するもののみを接続し他を開放する。また、有効／無効制御信号によって、部分フィルタ 3 0 1 を有効に、他の部分フィルタ 3 0 2 ~ 3 0 4 を無効（動作停止）にする（図 6）。

【 0 0 6 4 】

この場合、本実施形態による整合フィルタは従来構成の整合フィルタに対して 1 シンボル区間あたりの演算量を $4 / 16 = 1 / 4$ に削減することができる。即ち、従来構成の整合フィルタであれば、16 のタップ全てを同時に用いて 1 シンボル区間全体に渡って演算を行うため、拡散符号の 1 シーケンスを $C(c_1, c_2, \dots, c_{16})$ 、入力信号のサンプルデータを $d_1, d_2, \dots, d_{16}, d_{17}, \dots$ とすれば、図 7 に示すように、1 シンボル区間である $16 T_s$ のそれぞれにおいて 16 回の積和演算がなされ、合計で 256 回の積和演算が必要となる。

【 0 0 6 5 】

しかしながら、最大遅延量が $4 T_s$ であるということは、 $1 T_s \sim 4 T_s$ の遅延を有するパスのサーチを 1 シンボル区間中に行えば足りるということであり、図 7 における $T_s 5 \sim T_s 16$ の演算（遅延量 $5 T_s \sim 16 T_s$ のパスをサーチする演算）は（パスサーチという目的からすれば）無駄に行われていることになる。

【 0 0 6 6 】

従来構成の整合フィルタにおいて $4 T_s$ までの遅延量を有するパスのサーチで行われる積和演算（図 7、 $T_s 1 \sim T_s 4$ ）は $16 \times 4 = 64$ 回であり、この演算を 1 シンボル区間に相当する 16 サンプル周期（ $16 T_s$ ）の間に行えば良いから、1 サンプル周期に 4 回の演算、すなわち 4 タップの部分フィルタ 3 0 1 のみを用いて同等の結果を得ることができる。

【 0 0 6 7 】

1 つの部分フィルタ 3 0 1 で図 7 に示す $T_s 1 \sim T_s 4$ の演算を行うため、制

制御部 3 4 1 は部分フィルタ 3 0 1 のタップに供給する拡散符号のサブシーケンスを $4 T_s$ 毎に更新する。

【 0 0 6 8 】

図 8 に、部分フィルタ 3 0 1 で第 1 サンプル周期 $T_s 1 \sim$ 第 1 6 サンプル周期 $T_s 1 6$ の間行われる演算内容を示す。

サブシーケンス $C 1 \sim C 4$ は 1 シーケンス $C (c_1, c_2, \dots, c_{16})$ を 4 分割したものであるから、図 8 (a) に示す関係を満たす。以後、従来構成における演算を示す図 7 との関係を明確にするため、部分フィルタ 3 0 1 で行われる演算を示す図 8 (b) におけるシーケンスについては、 $c_1 \sim c_{16}$ の表記を用いる。

【 0 0 6 9 】

まず、サンプル周期 $T_s 1 \sim T_s 4$ においては、サブシーケンス $C 1 (c_1, c_2, c_3, c_4)$ がタップに供給されるため、図 7 において A, E, I, M で示す演算がそれぞれ行われる。

【 0 0 7 0 】

サンプル周期 $T_s 4$ における演算が終了すると、制御部 3 4 1 は部分フィルタ 3 0 1 に供給するサブシーケンスを $C 1 (c_1, c_2, c_3, c_4)$ から $C 2 (c_5, c_6, c_7, c_8)$ に更新する。そして、部分フィルタ 3 0 1 はサブシーケンス $C 2$ を用いてサンプル周期 $T_s 5 \sim T_s 8$ での演算を行う。これらの演算は図 7 における B, F, J, N の演算に相当する。

【 0 0 7 1 】

同様に、サンプル周期 $T_s 9 \sim T_s 1 2$ ではサブシーケンス $C 3 (c_9, c_{10}, c_{11}, c_{12})$ を、サンプル周期 $T_s 1 3 \sim T_s 1 6$ ではサブシーケンス $C 4 (c_{13}, c_{14}, c_{15}, c_{16})$ をそれぞれ用いて演算を行うことによって、図 7 に示した C, G, K, O, D, H, L, P の演算が行われる。

【 0 0 7 2 】

ここで、従来サンプル周期 $T_s 1 \sim T_s 4$ で行っていた演算結果を部分フィルタ 3 0 1 の演算結果から求めるには、 $4 T_s$ 毎の演算結果を 4 回積算する必要がある。従って、 $n m$ 段、すなわち本実施形態においては遅延量可変シフトレジスタ 3 3 3 の出力タップを 4 段目に設定して上記の積算を実現する。

【0073】

図9に、サンプル周期 $T_{s1} \sim T_{s16}$ における遅延量可変シフトレジスタ333の内容変化を示す。図9において、遅延量可変シフトレジスタ333の各段に記載された $T_{s1} \sim T_{s16}$ はそれぞれサンプル周期 $T_{s1} \sim T_{s16}$ において行われた結果（図8参照）を意味する。図9から明らかなように、第16サンプル周期 T_{s16} において、遅延量可変シフトレジスタ333の各段には $4T_s$ 毎の加算結果が蓄積される。この結果はそれぞれ従来サンプル周期 $T_{s1} \sim T_{s4}$ で得ていた演算結果（図7参照）であり、遅延量可変シフトレジスタ333の内容をパスタイミング検出部105が用いることによって、従来と同等のパスサーチ結果を得ることができることがわかる。

【0074】

【その他の実施形態】

上述の実施形態においては、最大遅延量 T_d が部分フィルタのタップ数 m で割り切れる場合を説明したが、もちろん T_d が m の倍数でない場合であっても同様に整合フィルタを構成することができる。この場合、 mT_s 未満の時間幅での不要な演算を何回か行うことにはなるが、それでも本発明による消費電力低減効果を十分に享受することが可能である。

【0075】

また、分割数 N は多いほどきめ細かいタップ数制御が可能であるが、ゲート部のスイッチ数や制御信号用の信号線が増加する上、最大遅延量の変動による有効／無効の制御及びタップに供給する拡散符号サブシーケンスの生成処理が発生しやすくなるため、最大遅延量の変動幅やサンプリングレート、制御部の負荷量に応じて適宜決定すればよい。

【0076】

また、本発明による整合フィルタを用いて受信機を構成する場合、セルサーチャが最大遅延量を検出し、整合フィルタに供給する頻度はシンボル区間単位で任意に設定可能である。

【0077】

上述の実施形態において、セルサーチャでの最大遅延量検出、検出した最大遅

延量を用いたパスタイミング検出部 1 0 5 でのパスサーチ、パスサーチ結果に基づく復調、位相合わせ等の処理間における遅延や、整合フィルタ内部での処理遅延については理解を容易にするために無視して説明したが、バッファ等を用いて各処理で用いる信号の時間的な整合をとることが可能であることは言うまでもない。

【 0 0 7 8 】

加えて、上述の実施形態においては、専用のハードウェアを用いて整合フィルタを構成した場合のみを説明したが、MPUやDSP等の汎用プロセッサを用いてソフトウェア的に同等の処理を行う場合であっても本発明を適用可能であることは言うまでもない。この場合、演算量が減少することによって、MPUやDSPに対する要求性能が低くなるため、他の処理を行っているプロセッサを兼用したり、整合フィルタ専用のプロセッサを用いる場合であっても消費電力の小さなプロセッサを採用することができる。

【 0 0 7 9 】

【発明の効果】

以上説明したように本発明によれば、マルチパスを有する受信信号から有効パスを検出するパスサーチに用いられる整合フィルタにおいて、必要な演算のみを行うために必要なタップ数のみを用いるとともに、拡散符号シーケンスを分割してタップに供給することにより、マルチパス信号の最大遅延時間幅に適応した形態で消費電力を大幅に抑制した整合フィルタを実現することができる。

【図面の簡単な説明】

【図 1】

本発明の整合フィルタを適用可能なCDMA受信機の要部構成例を示すブロック図である。

【図 2】

図 1 に整合フィルタにおける復調器 5 0 4 及びRAKEコンバイナ 5 0 5 の構成例を示すブロック図である。

【図 3】

最大遅延量の決定方法について説明する図である。

【図 4】

本発明の実施形態に係る整合フィルタの構成例を示す回路図である。

【図 5】

積算回路における遅延量可変シフトレジスタの構成例を示すブロック図である。

【図 6】

図 4 の整合フィルタにおいて、 $N = 4$ ， $n = 1$ の場合の構成を示す回路図である。

【図 7】

拡散符号の 1 シーケンスが 1 6 ビット、タップ数 1 6 の従来構成の整合フィルタにおいて行われる演算の内容を説明する図である。

【図 8】

図 7 と同等の条件で、本発明の実施形態に係る整合フィルタの有効部分フィルタ 3 0 1 で実施される演算の内容を説明する図である。

【図 9】

積算回路におけるシフトレジスタの動作を説明する図である。

【図 1 0】

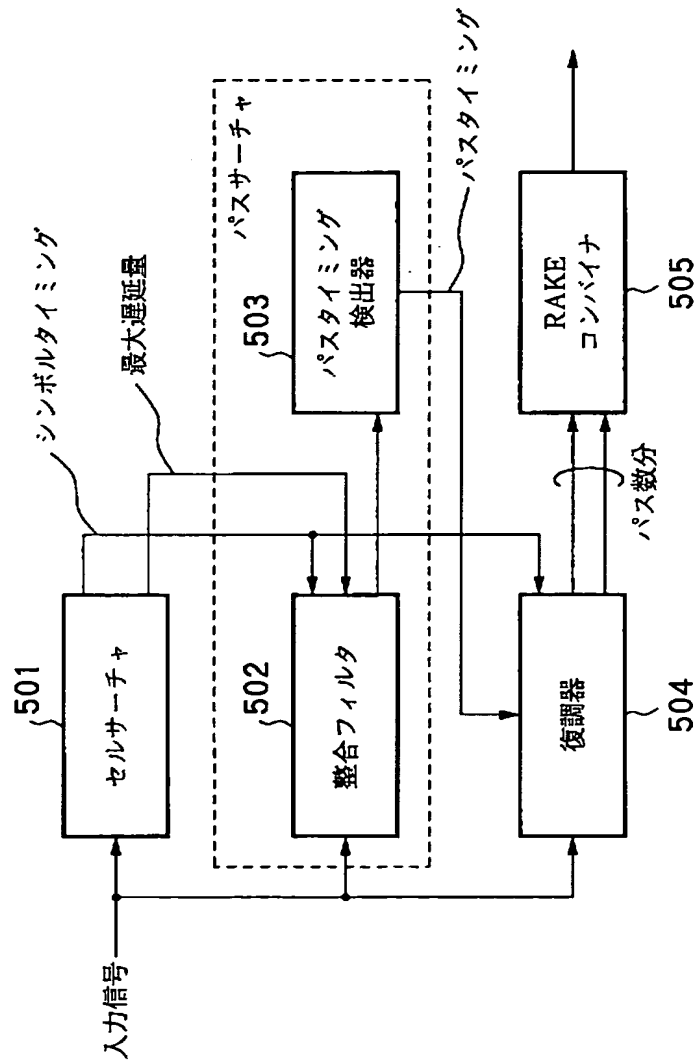
従来の R A K E 受信機の全体構成例を示すブロック図である。

【図 1 1】

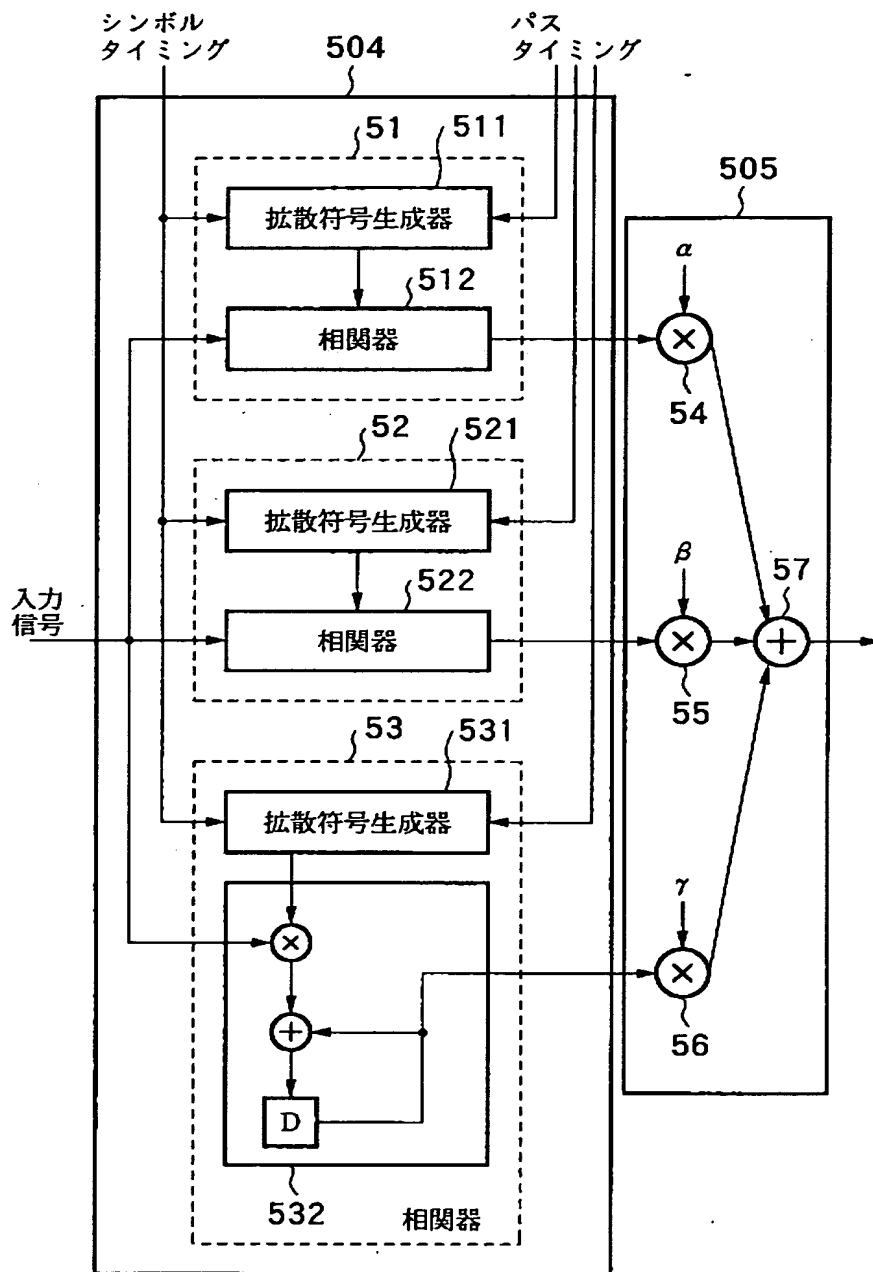
従来整合フィルタとして用いられているトランスバーサルフィルタの構成例を示す回路図である。

【書類名】 図面

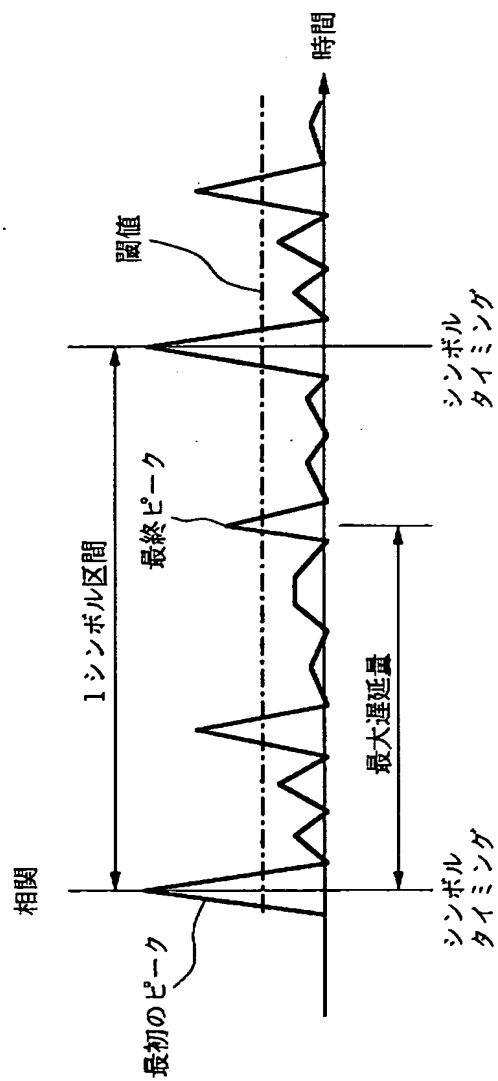
【図 1】



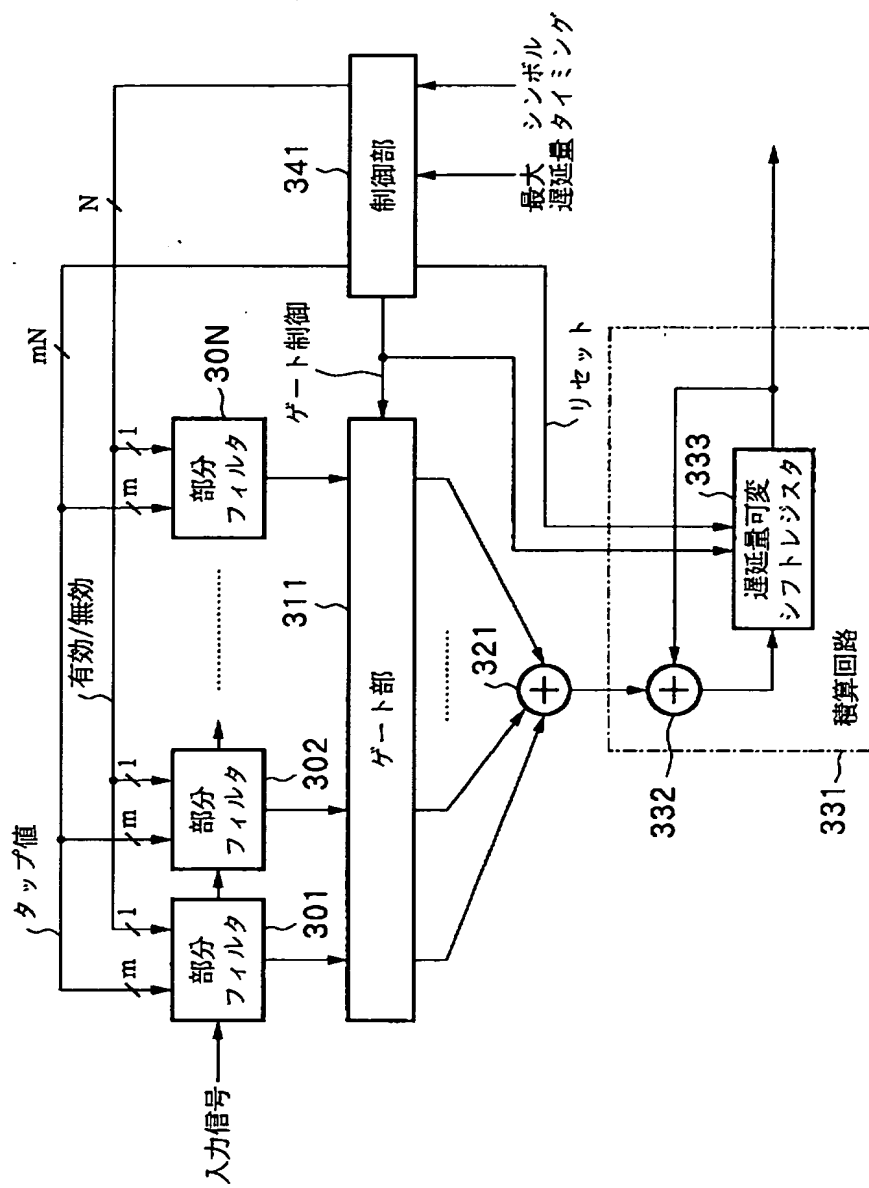
【図 2】



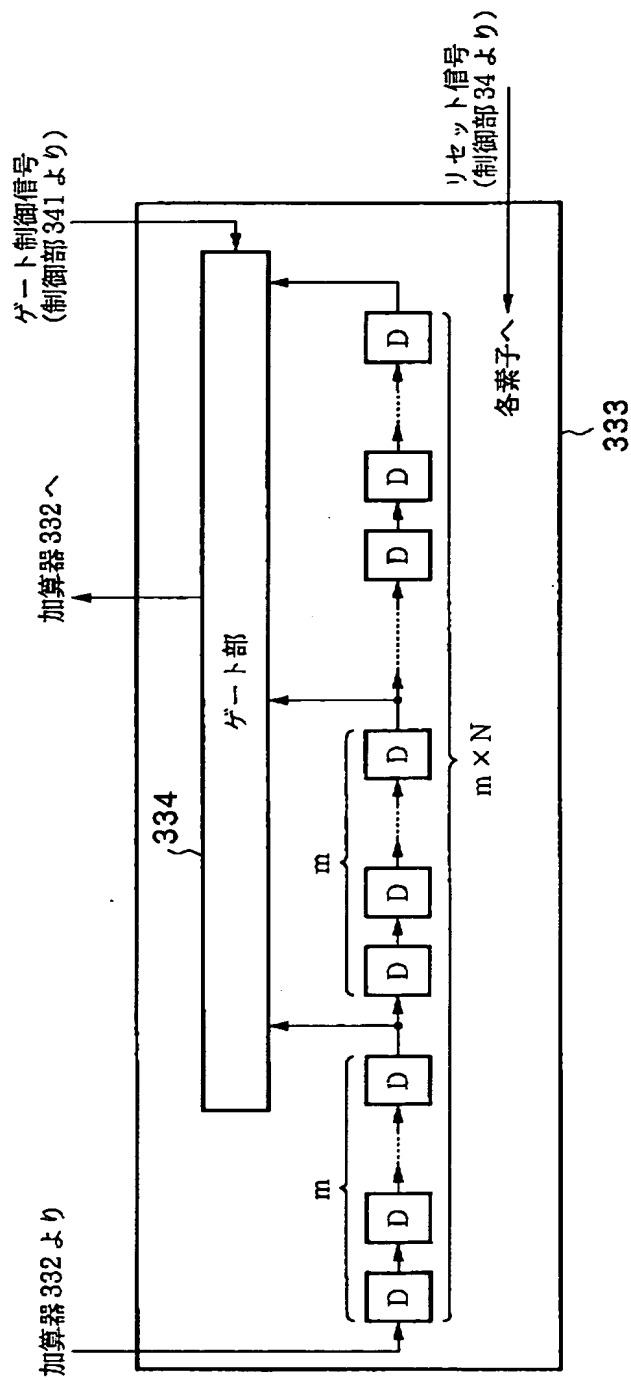
【図 3】



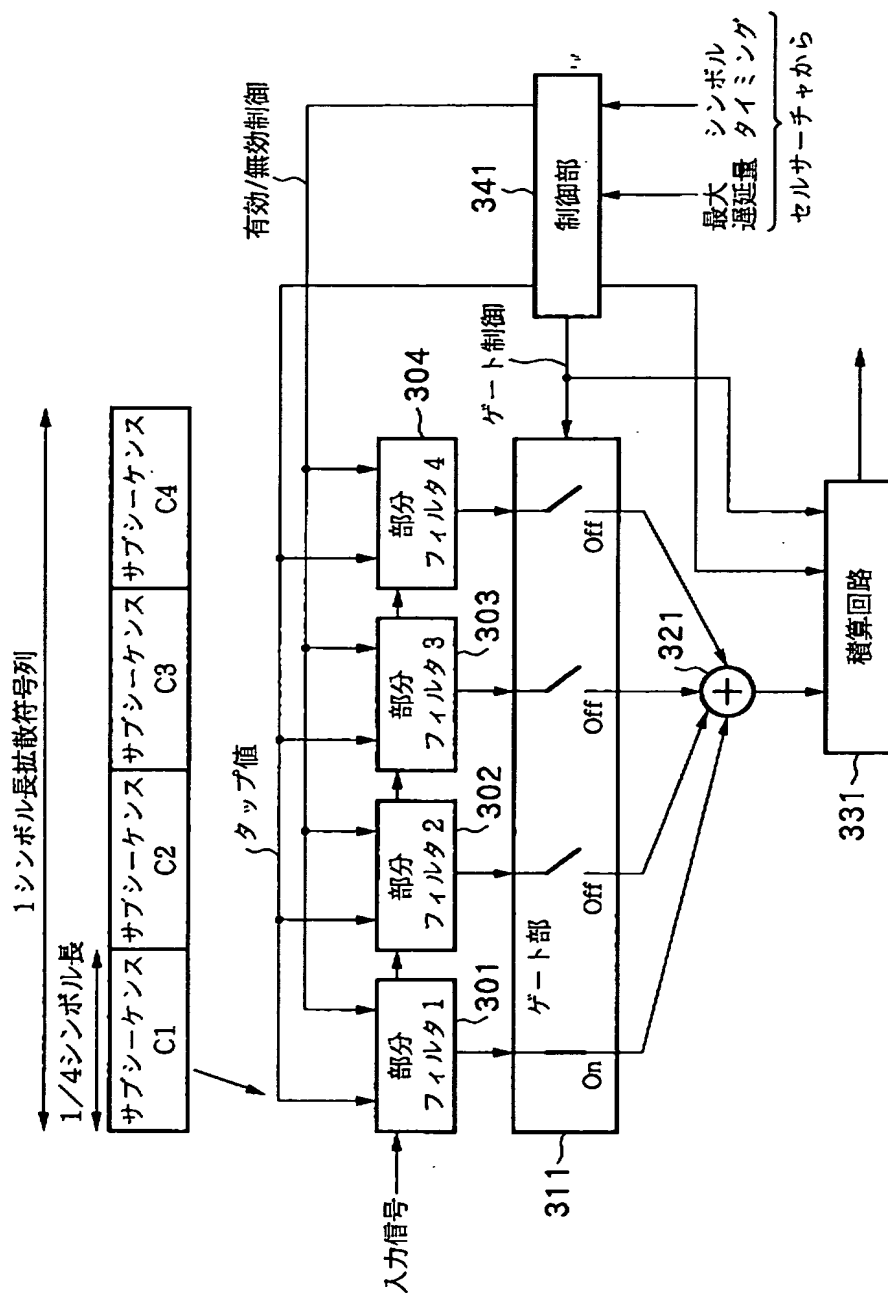
【図 4】



【図 5】



【図 6】



【図 7】

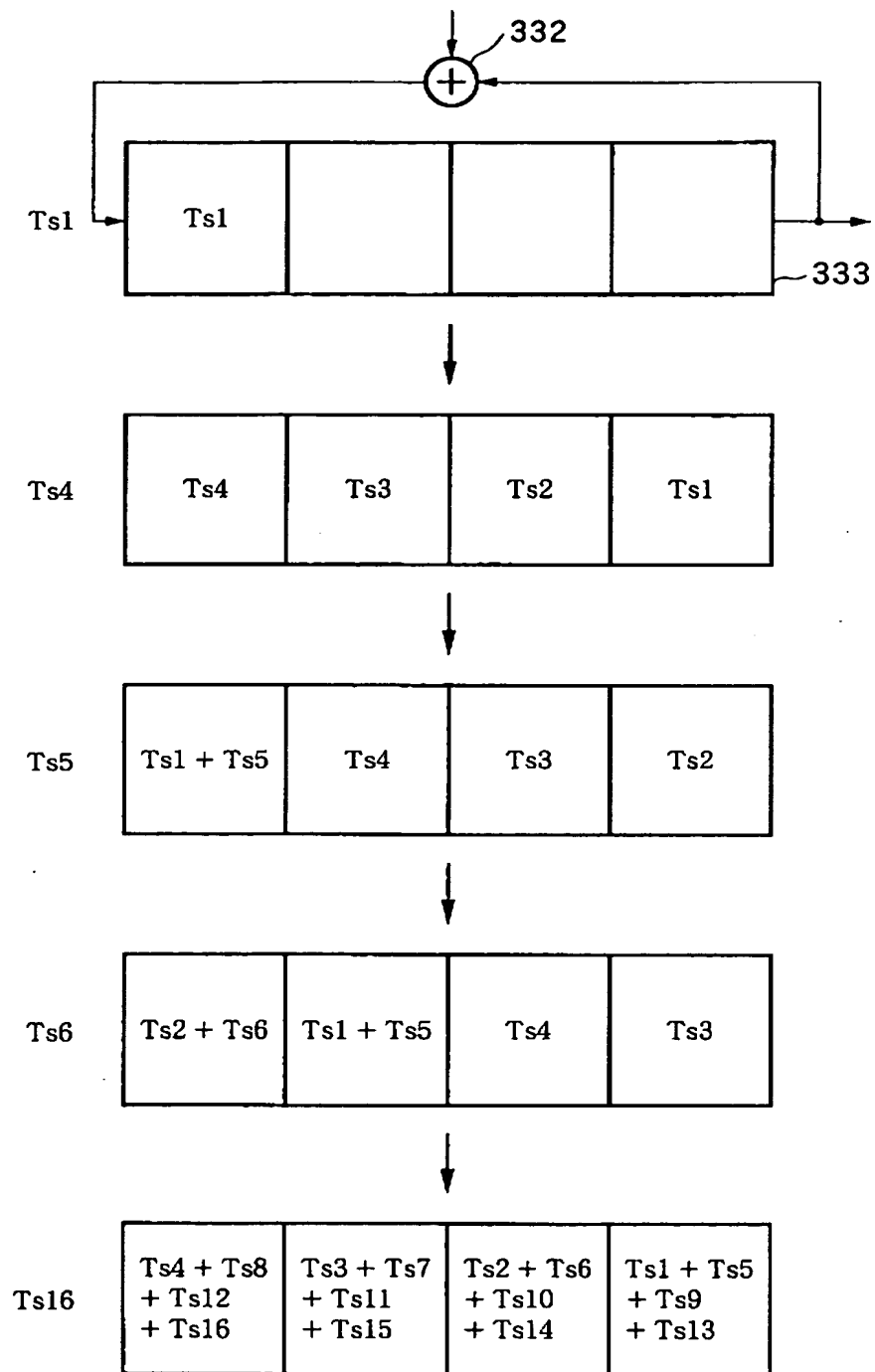
$$\begin{aligned}
Ts1: & \underbrace{(c_1d_1 + c_2d_2 + c_3d_3 + c_4d_4)}_A + \underbrace{(c_8d_5 + c_8d_6 + c_7d_7 + c_8d_8)}_B + \underbrace{(c_9d_9 + c_{10}d_{10} + c_{11}d_{11} + c_{12}d_{12})}_C + \underbrace{(c_{13}d_{13} + c_{14}d_{14} + c_{15}d_{15} + c_{16}d_{16})}_D \\
Ts2: & \underbrace{(c_1d_2 + c_2d_3 + c_3d_4 + c_4d_5)}_E + \underbrace{(c_5d_6 + c_6d_7 + c_7d_8 + c_8d_9)}_F + \underbrace{(c_9d_{10} + c_{10}d_{11} + c_{11}d_{12} + c_{12}d_{13})}_G + \underbrace{(c_{13}d_{14} + c_{14}d_{15} + c_{15}d_{16} + c_{16}d_{17})}_H \\
Ts3: & \underbrace{(c_1d_3 + c_2d_4 + c_3d_5 + c_4d_6)}_I + \underbrace{(c_5d_7 + c_6d_8 + c_7d_9 + c_8d_{10})}_J + \underbrace{(c_9d_{11} + c_{10}d_{12} + c_{11}d_{13} + c_{12}d_{14})}_K + \underbrace{(c_{13}d_{15} + c_{14}d_{16} + c_{15}d_{17} + c_{16}d_{18})}_L \\
Ts4: & \underbrace{(c_1d_4 + c_2d_5 + c_3d_6 + c_4d_7)}_M + \underbrace{(c_5d_8 + c_6d_9 + c_7d_{10} + c_8d_{11})}_N + \underbrace{(c_9d_{12} + c_{10}d_{13} + c_{11}d_{14} + c_{12}d_{15})}_O + \underbrace{(c_{13}d_{16} + c_{14}d_{17} + c_{15}d_{18} + c_{16}d_{19})}_P \\
Ts16: & c_1d_{16} + c_2d_{17} + c_3d_{18} + c_4d_{19} + c_5d_{20} + c_6d_{21} + c_7d_{22} + c_8d_{23} + c_9d_{24} + c_{10}d_{25} + c_{11}d_{26} + c_{12}d_{27} + c_{13}d_{28} + c_{14}d_{29} + c_{15}d_{30} + c_{16}d_{31}
\end{aligned}$$

【図 8】

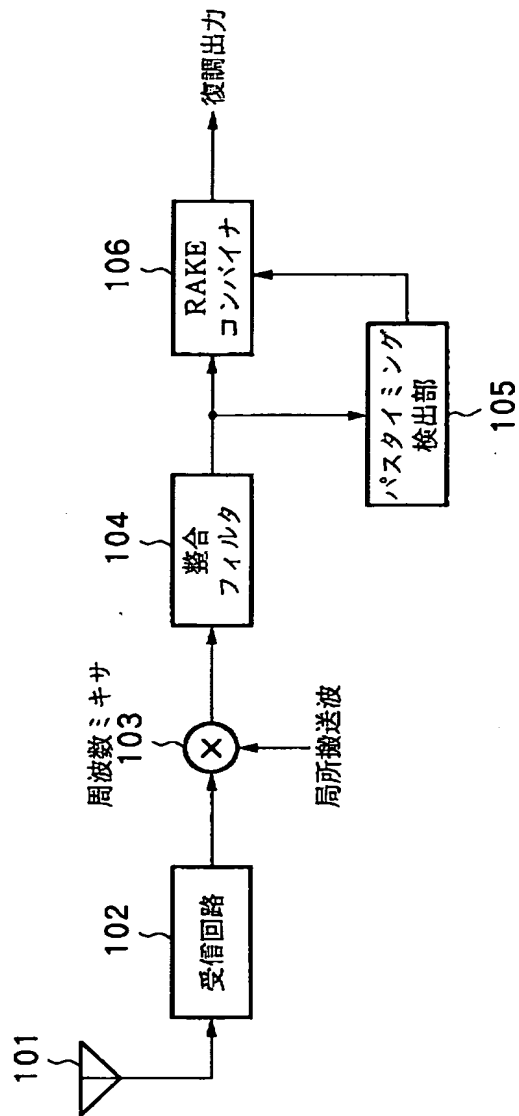
$$\begin{aligned}
 & C1=(c_{1,1}, c_{1,2}, c_{1,3}, c_{1,4})=(c_1, c_2, c_3, c_4) \\
 (a) \quad & C2=(c_{2,1}, c_{2,2}, c_{2,3}, c_{2,4})=(c_5, c_6, c_7, c_8) \\
 & C3=(c_{3,1}, c_{3,2}, c_{3,3}, c_{3,4})=(c_9, c_{10}, c_{11}, c_{12}) \\
 & C4=(c_{4,1}, c_{4,2}, c_{4,3}, c_{4,4})=(c_{13}, c_{14}, c_{15}, c_{16})
 \end{aligned}$$

$$\begin{aligned}
 Ts1: & c_1d_1+c_2d_2+c_3d_3+c_4d_4 =A \\
 Ts2: & c_1d_2+c_2d_3+c_3d_4+c_4d_5 =E \\
 Ts3: & c_1d_3+c_2d_4+c_3d_5+c_4d_6 =I \\
 Ts4: & c_1d_4+c_2d_5+c_3d_6+c_4d_7 =M \\
 Ts5: & c_5d_5+c_6d_6+c_7d_7+c_8d_8 =B \\
 Ts6: & c_5d_6+c_6d_7+c_7d_8+c_8d_9 =F \\
 Ts7: & c_5d_7+c_6d_8+c_7d_9+c_8d_{10} =J \\
 Ts8: & c_5d_8+c_6d_9+c_7d_{10}+c_8d_{11} =N \\
 (b) \quad Ts9: & c_9d_9+c_{10}d_{10}+c_{11}d_{11}+c_{12}d_{12} =C \\
 Ts10: & c_9d_{10}+c_{10}d_{11}+c_{11}d_{12}+c_{12}d_{13} =G \\
 Ts11: & c_9d_{11}+c_{10}d_{12}+c_{11}d_{13}+c_{12}d_{14} =K \\
 Ts12: & c_9d_{12}+c_{10}d_{13}+c_{11}d_{14}+c_{12}d_{15} =O \\
 Ts13: & c_{13}d_{13}+c_{14}d_{14}+c_{15}d_{15}+c_{16}d_{16} =D \\
 Ts14: & c_{13}d_{14}+c_{14}d_{15}+c_{15}d_{16}+c_{16}d_{17} =H \\
 Ts15: & c_{13}d_{15}+c_{14}d_{16}+c_{15}d_{17}+c_{16}d_{18} =L \\
 Ts16: & c_{13}d_{16}+c_{14}d_{17}+c_{15}d_{18}+c_{16}d_{19} =P
 \end{aligned}$$

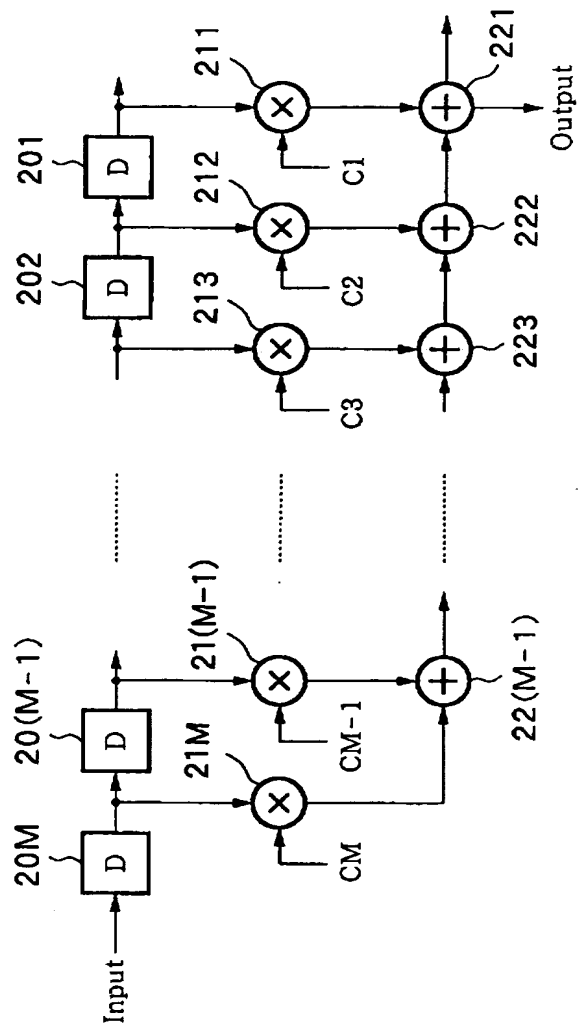
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 高速なプロセッサを必要とせず、また消費電力の低減が可能な整合フィルタを提供すること。

【解決手段】 タップ数を N 分割した部分フィルタ $301 \sim 30N$ を設けるとともに、部分フィルタ毎に有効／無効を制御する制御部 341 を設ける。制御部 341 には入力信号の最大遅延量とシンボルタイミングが供給され、制御部 341 は最大遅延量にもとづいて1シンボル期間内に必要とされる演算量処理可能な最小の部分フィルタ $301 \sim 30n$ のみを有効とし、有効とした部分フィルタを1シンボル当たり複数回使用し、毎回の出力をサンプル毎に積算する。残りの $30(n+1) \sim 30N$ は無効とし、無効とされた部分フィルタは動作しないため、消費電力を低減することが可能になる。

【選択図】 図3

認定・付加情報

| | |
|---------|------------------|
| 特許出願の番号 | 特願 2000-132619 |
| 受付番号 | 50000554827 |
| 書類名 | 特許願 |
| 担当官 | 濱谷 よし子 1614 |
| 作成日 | 平成 12 年 5 月 11 日 |

<認定情報・付加情報>

【特許出願人】

| | |
|----------|----------------------------------|
| 【識別番号】 | 598036300 |
| 【住所又は居所】 | スウェーデン国エス - 126 25 ストックホルム |
| 【氏名又は名称】 | テレフオンアクチーボラゲット エル エム エリクソン (パブル) |

【代理人】

申請人

| | |
|----------|---|
| 【識別番号】 | 100076428 |
| 【住所又は居所】 | 東京都千代田区紀尾井町 3 番 6 号 秀和紀尾井町パークビル 7 F 大塚国際特許事務所 |
| 【氏名又は名称】 | 大塚 康德 |

【選任した代理人】

| | |
|----------|---|
| 【識別番号】 | 100101306 |
| 【住所又は居所】 | 東京都千代田区紀尾井町 3 番 6 号 秀和紀尾井町パークビル 7 F 大塚国際特許事務所 |
| 【氏名又は名称】 | 丸山 幸雄 |

出 願 人 履 歴 情 報

識別番号 [598036300]

1. 変更年月日 1998年 3月18日

[変更理由] 新規登録

住 所 スウェーデン国エス - 126 25 ストックホルム

氏 名 テレフオンアクチーボラゲット エル エム エリクソン (パ
ブル)